1. Differences between MOSFET and FINFET?

Sus diferecias se deben a su estructura, el MOSFET es en cierto modo plano, mientras el FINFET es 3D, el gate del FINFET cuenta con contacto lateral al Source y al Drain, lo que le otorga un mayor control en la activación del gate, esta estructura permite que el transistor se pueda miniaturizar más que un MOSFET.

1. Puzzle: A blind man walking in a desert has 2 red pills and 2 blue pills with him. He has to take one red pill and one blue pill each per day. How can he do that correctly?

Se toma la mitad de cada píldora.

1. Limitations of MOSFET

La principal limitación del MOSFET es su tamaño, los MOSFET no se pueden miniaturizar por debajo de los 22nm, ya que al pasar de esta medida, se pierden rendimiento y tienen fugas de corriente, como resultado de esos problemas fue que se desarrolló el FINFET

1. Puzzle: If a man climbs 15 m well. He climbs 4 m every day and slips 3 m. How many days it takes for him to get outside of the well?

12 Días

1. What is set up time and hold time?

Setup Time: Es el tiempo que debe permanecer estable una señal previo al flanco de reloj, para ser leída correctamente.

Hold Time: Es el tiempo que debe permanecer estable una señal después del flanco de reloj, para ser leída correctamente.

1. What is set up time and hold time violations?

Sucede cuando la señal cambia durante el periodo de tiempo correspondiente al Setup o Hold Time respectivamente.

1. What is metastability and do you know its physical significance?

La meta estabilidad hace referencia a un estado inestable de la señal cuando no se cumplen los tiempos de Setup y Hold. Se produce debido a que los transistores que forman el flipflop no tienen tiempo suficiente para definir en cual estado deben estar. Esto provoca que la señal a la salida del flipflop no sea predecible.

1. What is a critical path?

Corresponde a la ruta más larga en términos de tiempo entre una entrada y una salida, esta ruta determina la frecuencia máxima a la que puede operar el circuito, si el reloj fuese más rápido la ruta crítica no se completaría lo cual provocaría fallos.

1. How can you improve the timing?

Entre las opciones para mejorar el tiempo, se encuentras las siguientes.

Optimizar la ruta crítica.

Usar pipelining, básicamente segmentar etapas.

Usar estrategias de optimización de reloj, para minimizar el clock skew

Minimizar la lógica innecesaria.

Cambiar la tecnología por una más rápida.

1. How can you fix the setup time violations?

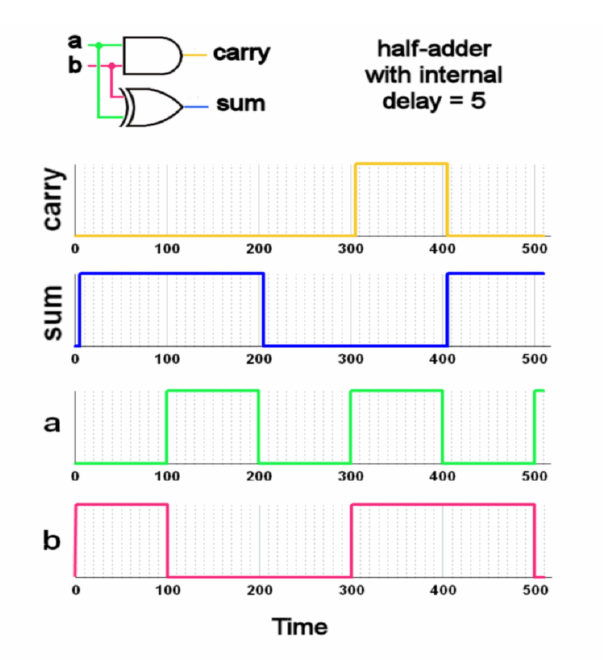
Principalmente mejorando el timing, si no se puede, se podría necesitar disminuir la frecuencia

1. Implement a 2:1 mux for AND gate?

No se comprende lo solicitado

1. Draw the timing diagram of half adder?

Los cambios entre las entradas y salidas de un half adder son prácticamente instantáneos ya que es lógica combinacional y no depende de un reloj.



1. What is blocking and non-blocking assignments?

En Verilog, existen dos tipos principales de asignaciones dentro de los bloques always: blocking (=) y non-blocking (<=).

Blocking assignment (=)

Se ejecuta de forma secuencial, línea por línea.

Una línea debe completarse antes de que comience la siguiente.

Se usa generalmente en lógica combinacional.

Non-blocking assignment (<=)

Se ejecuta en paralelo (no bloqueante).

Todas las asignaciones se programan y luego se actualizan al mismo tiempo.

Se usa en lógica secuencial (sensible a reloj).

1. What is synchronous and Asynchronous reset?

El reset síncrono depende del flanco de reloj, mientras que el asíncrono se ejecuta inmediatamente sin importar el estado del reloj.

1. Why do we need DFT and what do you mean by that?

DFT, significa Design for Testability, es decir que se diseña pensado en que se pueda testear el funcionamiento del IC después de la fabricación.

Es necesario para detectar fallas internas en el circuito y para verificar que funciona como se espera.

1. Explain briefly the methods of DFT?

Scan chains (cadenas de escaneo): Convierte los flip-flops en un registro de desplazamiento para cargar y observar estados internos.

Built-In Self Test (BIST): El chip se puede probar a sí mismo generando patrones de prueba y comparando salidas.

Boundary Scan (JTAG / IEEE 1149.1): Permite probar conexiones externas de un chip sin necesidad de pines adicionales.

Test points: Se agregan nodos especiales para observar señales internas del chip.

1. Why do you need to make flip flops initialized in an ad hoc technique?

Cuando un IC se enciende los flipflops no tienen un valor definido pueden iniciar en 0 o 1 de forma aleatoria, lo que puede provocar diversas fallas, por eso se necesita inicializarlos explícitamente, una opción es haciendo uso de un reset global.

1. What are controllability and observability?

La controlabilidad es la facilidad con la que se puede forzar una parte interna del circuito a tomar un valor de 0 o 1 desde las entradas primarias, entre más difícil sea mas baja es su controlabilidad.

La observabilidad por otro lado es la facilidad con la que se puede medir un valor lógico en una parte interna del circuito entre más fácil sea mayor será su observabilidad

1. If you fabricate a full adder and do the functional test and verify outputs are correct, then do you still require DFT also?

Si se requiere, porque, aunque la lógica funciones, o este bien diseñado, aun pueden ocurrir problemas durante la fabricación.

1. What is BIST?

BIST (Built-In Self-Test) es una técnica de DFT donde el circuito se prueba a sí mismo usando lógica interna dedicada, sin depender de equipos de prueba externos.

1. What is JTAG?

JTAG (Joint Test Action Group) es un estándar para la depuración y prueba de circuitos integrados. Es utilizado principalmente para la prueba de dispositivos en sistemas electrónicos, permitiendo la comunicación con el chip para realizar operaciones de prueba, diagnóstico y programación.

1. Difference between verification and DFT?

La verificación tiene por objetivo asegurar que el diseño del circuito cumpla con las especificaciones requeridas antes de ser fabricado. Mientras que el DFT tiene por objetivo facilitar la capacidad de testeo del circuito para detectar fallos después de su fabricación.

1. What is yield?

El yield es el porcentaje de chips funcionales entre el total de chips fabricados.

1. Explain your course works and the projects.
2. Difference between RAM, ROM.

La RAM es un tipo de memoria utilizada para el almacenamiento de datos y programas temporales que el CPU necesita cuando esta en funcionamiento, este tipo de memorias tiene una alta velocidad y es volátil.

Por otro lado, la ROM se utiliza para almacenar datos permanentes, no es volátil, pero es lenta y por lo general es de solo lectura.

1. What is DMA?

Es una técnica que permite a cierto tipo de hardware acceder directamente a la memoria RAM sin que el CPU tenga que intervenir de forma constante.

Round-2:

1. Short channel effects in MOSFET.

Es un efecto que se produce en los MOSFET cuanto se utilizan tecnologías de escalas nanométricas más pequeñas de lo recomendado para este tipo de transistores, este efecto se produce cuando la distancia entre Source y Drain es comparable al espesor de la región de deplexión. Esto puede provocar fugas de corriente e inestabilidad en la conmutación

1. Brief about JTAG.

JTAG (Joint Test Action Group) es un estándar para la depuración y prueba de circuitos integrados. Es utilizado principalmente para la prueba de dispositivos en sistemas electrónicos, permitiendo la comunicación con el chip para realizar operaciones de prueba, diagnóstico y programación.

1. Any insight into BSDL.

BSDL (Boundary Scan Description Language) es un lenguaje de descripción basado en VHDL que se usa para describir la interfaz JTAG de un componente integrado.

BSDL es el “manual” que le dice a la herramienta JTAG cómo hablar con un chip.

Sin BSDL, la herramienta no sabría qué hacer con los datos que entran o salen del scan chain.

1. What are the different faults that occur while fabrication?

Durante la fabricación se pueden presentar diversas fallas físicas como cortocircuitos, circuitos abiertos, puentes entre líneas, contaminación por partículas, etc. Pero también se pueden presentar fallas lógicas como retardos excesivos entre rutas, o fallas que afectan al rendimiento del chip.

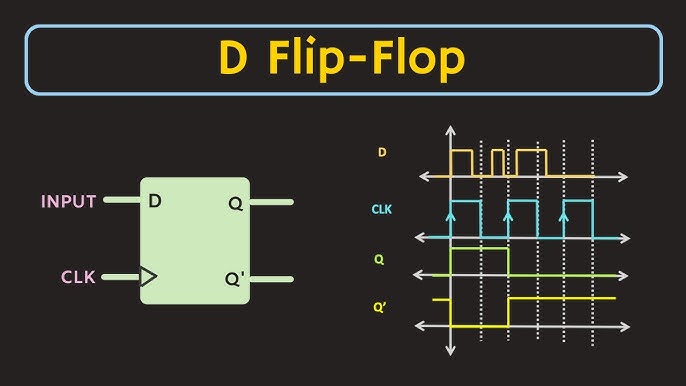
1. What is bridging fault?

Es una falla conde dos señales que no deberían estar conectadas se unen, esto genera interferencias en las señales y altera el comportamiento del circuito.

1. What is fault collapsing?

Es una técnica que agrupa fallas similares en un solo fallo lógico, para reducir la complejidad de las pruebas, lo que mejora la eficiencia del proceso.

1. Draw a D-flipflop along with a timing diagram.



1. What is Stuck at faults?

Es un tipo de falla en la que una señal se queda fija en un 1 o 0 sin importar la entrada que se le aplique.

1. What do you mean by clock skew?

El clock skew es el desface temporal que sufre una señal de reloj al distribuirse por un circuito, lo que puede provocar que la señal de reloj no llegue a todos elementos al mismo tiempo.

1. Is Hold time dependent on clock frequency?

El hold time no es dependiente de la frecuencia del reloj, pero se puede ver afectado por ella, si la frecuencia es demasiado alta, podría entrar en conflicto con el hold time.

1. Is clock skew an advantage or not?

Depende, El clock skew normalmente es una desventaja, ya que puede causar fallos de sincronización y reducir el rendimiento del circuito. Solo en situaciones muy controladas puede utilizarse como una ventaja.

1. Current technology node used in industry?

Actualmente se utilizan nodos de 3nm, 5nm y 7nm, para ello se utilizan transistores FINFET.

1. Is set up time-dependent on clock frequency?

Igual que con el hold time el setup time no es dependiente de la frecuencia del reloj pero se puede ver afectado por ella, si la frecuencia es demasiado alta, podría entrar en conflicto con el setup time. Y por el contrario una frecuencia de reloj baja, puede dar mas tiempo a que las señales se estabilicen facilitando el cumplimiento del setup time y hold time.

1. Why do you need a reset in flip flop?

Es necesario para que el fliflop inicie en un estado determinado, de forma que su estado al momento del encendido este definido y sea predecible y estable.

1. What is the multicycle path?

Hace referencia a una ruta que no necesita completarse dentro de un ciclo, lo que significa que la señal puede tardar varios ciclos en atravesar las diferentes etapas. Se utiliza cuando una operación requiere mas de un ciclo de reloj para completarse.

1. Any tools for DFT?

Existen diversas herramientas para DFT, como Synopsys DFT Compiler, Cadence Modus, Mentor Tessent, y Keysight, que ayudan a insertar y validar circuitos de prueba, como scan chains, ATPG, BIST y JTAG.

1. Why DFT is in the front end?

El DFT se encuentra en la etapa de diseño front-end porque permite integrar técnicas de prueba de manera eficiente, optimiza la cobertura de prueba, reduce costos y tiempo, y garantiza que los circuitos sean fácilmente testeables en las fases posteriores del diseño y fabricación. Esto también asegura que los chips cumplan con los requisitos de prueba de la industria.

1. VLSI design flow.

El flujo de diseño VLSI se refiere al proceso completo que se sigue para diseñar un circuito integrado, desde la concepción de la idea hasta la fabricación y prueba del chip. Las etapas clave son la descripción lógica (RTL), la síntesis para convertirlo en puertas, el diseño físico, la verificación, las pruebas de fabricación, y finalmente la validación del chip fabricado.

1. OR gate using 2:1 mux
2. How to do if statement synthesis?

En Verilog la sintetizacion de un if se puede ver de la siguiente manera

always @(A or B or C) begin

if (A)

Y = B;

else

Y = C;

end

1. How do a case statement in Verilog synthesis?

Un bloque case en Verilog tiene la siguiente estructura:

always @(A) begin

case (A)

2'b00: Y = 4'b0001;

2'b01: Y = 4'b0010;

2'b10: Y = 4'b0100;

2'b11: Y = 4'b1000;

default: Y = 4'b0000;

endcase

end

1. What is Inferred latch?

Un latch inferido es un tipo de latch que se produce como resultado de no especificar explícitamente como se va a almacenar un dato. Por tanto, el sistema crea un latch para almacenar dicho valor.

1. List out a few Power optimization methods in STA.

Métodos de optimización de potencia en STA:

* Clock Gating (apagado de reloj): Detiene el reloj en bloques que no están activos, reduciendo el consumo dinámico de energía.
* Power Gating: Apaga completamente bloques del chip cuando no se están utilizando, reduciendo la potencia estática (fugas).
* Multi-Vt Cells (uso de celdas con distintos umbrales): Se utilizan celdas de alto umbral de voltaje (High-Vt) en caminos no críticos para reducir fugas.
* Voltage Scaling: Reducir el voltaje de operación para disminuir el consumo dinámico, asegurando que las restricciones de temporización aún se cumplan.
* Multi-VDD: Secciones del diseño operan con distintos niveles de voltaje según sus necesidades de rendimiento, reduciendo el consumo global.
* Clock Tree Optimization (CTO): Minimiza la capacitancia y el número de buffers del árbol de reloj, reduciendo la energía consumida por el reloj.
* Path-based Optimization: Optimiza rutas no críticas para reducir el uso de buffers, área y potencia, manteniendo el timing bajo control.
* Dynamic Voltage and Frequency Scaling (DVFS): Cambia dinámicamente frecuencia y voltaje dependiendo de la carga de trabajo.
* Logic Level Optimization (como retiming o cell resizing): Ajusta el tamaño de celdas o su ubicación para balancear rendimiento y potencia.